

(19) JAPANESE PATENT LAID-OPEN

(11) PATENT LAID-OPEN No. H8—307262

(43) LAID - OPEN DATE: November 22, 1996

(21) Patent Serial No. H7-110439

(22) Filing Date: May 9, 1995

(51) Int.Cl. H03L 7/197

(54) Title of the Invention: FREQUENCY SYNTHESIZER

(57) Abstract:

CONSTITUTION: A frequency synthesizer comprising a band-pass filter 11 configured to extract higher harmonic waves in an output signal of a voltage-controlled oscillator 1, a divider 13 configured to divide the higher harmonic waves, and a phase comparator 6 configured to compare a reference signal generated by a reference signal generator 7 with an output signal of the divider 13, and to feed back a result of the comparison to the voltage-controlled oscillator 1 through an integrator 8, and to control the voltage-controlled oscillator 1. By using the higher harmonic waves, it can be possible to increase a phase comparison frequency of the phase comparator 6. As a result, the frequency synthesizer can execute "high speed frequency switching".

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-307262

(43) 公開日 平成8年(1996)11月22日

(51) Int.Cl. ⁸	識別記号	片内整理番号	F I	技術表示箇所
H 0 3 L	7/197		H 0 3 L 7/18	A
	7/06		H 0 4 B 1/26	U
	7/183		H 0 3 L 7/06	G
H 0 4 B	1/26		7/18	B

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平7-110439

(22) 出願日 平成7年(1995)5月9日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 橋本 興二

大阪府門真市大字門真1006番地 松下電器
産業株 式会社内

(72) 発明者 永富 義孝

大阪府門真市大字門真1006番地 松下電器
産業株 式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

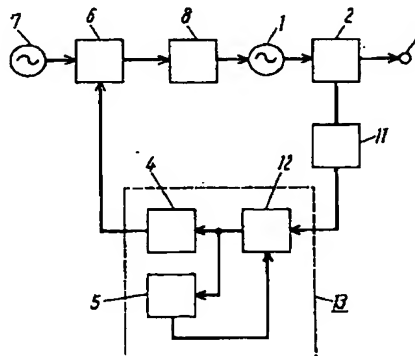
(54) 【発明の名称】 周波数シンセサイザ

(57) .【要約】

【目的】 高速に周波数切り換えが行える周波数シンセサイザを提供する。

【構成】 電圧制御発振器1の高調波を帯域通過フィルタ11で取り出し、この取り出した信号を分周器13で分周した信号と基準信号発生器7とを位相比較器6で比較し、積分器8を介して電圧制御発振器1にフィードバックして、電圧制御発振器1を位相制御するもので、電圧制御発振器1の高調波出力を利用して位相比較器6を構成することにより、位相比較周波数を高くすることができ、周波数切り換えを高速に行うことができる。

- 1 電圧制御発振器
- 6 位相比較器
- 7 基準信号発生器
- 8 積分器
- 11 帯域通過フィルタ
- 12 デュアルモジュラス分周器
- 13 分周器



【特許請求の範囲】

【請求項 1】 電圧制御発振器と、前記電圧制御発振器の出力側に接続された分配器と、前記分配器の第 1 の出力側に接続された出力端子と、前記分配器の第 2 の出力側に接続され、前記電圧制御発振器の所望の高調波を分周する分周器と、前記分周器の出力側と基準信号発生器の出力側とに接続された位相比較器と、前記位相比較器の出力側と前記電圧制御発振器の制御端子の間に接続された積分器とを備えたことを特徴とする周波数シンセサイザ。

【請求項 2】 電圧制御発振器と、前記電圧制御発振器の出力側に接続された分配器と、前記分配器の第 1 の出力側に接続された出力端子と、前記分配器の第 2 の出力側に接続され、前記電圧制御発振器の所望の高調波を通過させるフィルタと、前記フィルタの出力側に接続された分周器と、前記分周器の出力側と基準信号発生器の出力側とに接続された位相比較器と、前記位相比較器の出力側と前記電圧制御発振器の制御端子の間に接続された積分器とを備えたことを特徴とする周波数シンセサイザ。

【請求項 3】 電圧制御発振器と、前記電圧制御発振器の出力側に接続された分配器と、前記分配器の第 1 の出力側に接続された出力端子と、前記分配器の第 2 の出力側に接続され、前記電圧制御発振器の所望の高調波を増幅する狭帯域増幅器と、前記狭帯域増幅器の出力側に接続された分周器と、前記分周器の出力側と基準信号発生器の出力側とに接続された位相比較器と、前記位相比較器の出力側と前記電圧制御発振器の制御端子の間に接続された積分器とを備えたことを特徴とする周波数シンセサイザ。

【請求項 4】 電圧制御発振器の所望の高調波よりも最高発振周波数の高いトランジスタを用いて狭帯域増幅器を構成したことを特徴とする請求項 3 記載の周波数シンセサイザ。

【請求項 5】 電圧制御発振器と、前記電圧制御発振器の出力側に接続され、前記電圧制御発振器の所望の高調波だけを第 2 の出力側に分離する分配器と、前記分配器の第 1 の出力側に接続された出力端子と、前記分配器の第 2 の出力側に接続された分周器と、前記分周器の出力側と基準信号発生器の出力側とに接続された位相比較器と、前記位相比較器の出力側と前記電圧制御発振器の制御端子の間に接続された積分器とを備えたことを特徴とする周波数シンセサイザ。

【請求項 6】 電圧制御発振器と、前記電圧制御発振器の出力側に接続された分配器と、前記分配器の第 1 の出力側に接続された出力端子と、前記分配器の第 2 の出力側に接続された通倍器と、前記通倍器の出力側に接続された分周器と、前記分周器の出力側と基準信号発生器の出力側とに接続された位相比較器と、前記位相比較器の出力側と前記電圧制御発振器の制御端子の間に接続され

た積分器とを備えたことを特徴とする周波数シンセサイザ。

【請求項 7】 通倍器の出力周波数よりも最高発振周波数の高いトランジスタを用いて前記通倍器を構成したことを特徴とする請求項 6 記載の周波数シンセサイザ。

【請求項 8】 分周器は、デュアルモジュラス分周器とプログラマブルカウンタとスワローカウンタで構成したことを特徴とする請求項 1 から 7 のいずれか一つに記載の周波数シンセサイザ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は携帯電話や自動車電話などの移動帯通信機器に使用する周波数シンセサイザに関するものである。

【0002】

【従来の技術】近年、移動帯通信機器ではデジタル方式の信号伝送が主になってきている。このデジタル方式の移動帯通信機器では高速で周波数が切り換えられる周波数シンセサイザが必要とされている。

【0003】以下に図面を参照しながら、従来の周波数シンセサイザの一例について説明する。

【0004】図 7 は従来のパルススワロー方式の周波数シンセサイザの構成を示す図である。図 7 において、101 は電圧制御発振器、109 は出力端子である。103 は N 分周と (N+1) 分周とに切り換えられるデュアルモジュラス分周器、104 はカウント数 P のプログラマブルカウンタ、105 はカウント数 A のスワローカウンタであり、これら 3 つで分周器 110 が構成されている。デュアルモジュラス分周器 103 はスワローカウンタ 105 のオーバーフロー信号によって (N+1) 分周から N 分周に切り換わり、プログラマブルカウンタ 104 のオーバーフロー信号で (N+1) 分周に戻る。102 は分配器で、電圧制御発振器 101 の出力を出力端子 109 側と分周器 110 側に分配する。107 は基準信号発生器である。106 は位相比較器であり、分周器 110 の出力信号と基準信号発生器 107 の出力信号の位相を比較する。108 は積分器であり、位相比較器 106 の位相誤差出力に応じた電圧制御発振器 101 の制御電圧を出力する。

【0005】以下のように構成された周波数シンセサイザについて、以下その動作を説明する。

【0006】分配器 102 で分周器 110 側に分配された電圧制御発振器 101 の出力 (周波数 F0) は分周器 110 によって (N×P+A) 分周され、周波数は (F0 / (N×P+A)) となり、基準信号発生器 107 の出力 (周波数 F_r) と位相比較器 106 で位相比較される。そして、位相比較器 106 の位相誤差出力は積分器 108 で積分されて電圧制御発振器 101 の周波数制御端子に供給される。その結果、電圧制御発振器 101 の発振周波数 F0 は、

$$F_0 = F_r (N \times P + A)$$

となる。したがって、PとAの値を所望の値にすることにより、電圧制御発振器101の発振周波数 F_0 を基準信号発生器107の出力周波数 F_r （位相比較周波数でもある）の間隔で制御することができる（例えば、「PLLの基本と応用」121ページ、角田秀夫 著）。

【0007】

【発明が解決しようとする課題】しかしながら上記のような構成では、基準信号発生器107の出力周波数 F_r は通信システムのチャンネル間隔の整数分の1にしか設定できず、携帯電話や自動車電話では F_r は数10kHz以下となる。その結果、フィードバックループの応答が遅くなり、高速に周波数切り換えを行うことができないという問題点を有していた。

【0008】本発明は上記問題点に鑑み、高速に周波数を切り換えられる周波数シンセサイザを提供することを目的とする。

【0009】

【課題を解決するための手段】そしてこの目的を達成するために本発明は、電圧制御発振器と、前記電圧制御発振器の出力側に接続された分配器と、前記分配器の第1の出力側に接続された出力端子と、前記分配器の第2の出力側に接続され、前記電圧制御発振器の所望の高調波を分周する分周器と、前記分周器の出力側と前記基準信号発生器の出力側とに接続された位相比較器と、前記位相比較器の出力側と前記電圧制御発振器の制御端子の間に接続された積分器とを備えた構造としたものである。

【0010】

【作用】本発明は上記した構成によって電圧制御発振器の所望の高調波を分周して位相比較を行うので、基準信号発生器の出力周波数を高くすることができ、その結果フィードバックループの応答が早くなり、高速に発振周波数を切り換えることが可能となる。

【0011】

【実施例】以下本発明の一実施例の周波数シンセサイザについて、図面を参照しながら説明する。

【0012】図1は本発明の第1の実施例における周波数シンセサイザの構成図を示すものである。図1において、1は電圧制御発振器、9は出力端子である。3はN分周と(N+1)分周とに切り換えられるデュアルモジュラス分周器、4はカウント数Pのプログラマブルカウンタ、5はカウント数Aのスローカウンタであり、これら3つで分周器10が構成されている。デュアルモジュラス分周器3はスローカウンタ5のオーバーフロー信号によって(N+1)分周からN分周に切り換わり、プログラマブルカウンタ4のオーバーフロー信号で(N+1)分周に戻る。2は分配器で、電圧制御発振器1の出力を出力端子9側と分周器10側に分配する。7は基準信号発生器である。6は位相比較器であり、分周器10の出力信号と基準信号発生器7の出力信号の位相を比

較する。8は積分器であり、位相比較器6の位相誤差出力に応じた電圧制御発振器1の制御電圧を出力する。

【0013】以下のように構成された周波数シンセサイザについて、以下その動作を説明する。

【0014】電圧制御発振器1からは基本波 F_0 のほか、高調波（基本波 F_0 の整数倍）が出力される。分配器2で分周器10側に分配された電圧制御発振器1の出力は分周器10によって(N×P+A)分周されるが、ここで図7に示した従来例との相違点はデュアルモジュラス分周器3が所望の高調波、例えば $M \times F_0$ （Mは整数）の近傍の周波数帯で動作し、基本波や他の高調波の周波数帯域では動作しないことである。したがって、分周器10の出力周波数は $(M \times F_0 / (N \times P + A))$ となる。この信号が基準信号発生器107の出力（周波数 F_r ）と位相比較器106で位相比較され、位相比較器106の位相誤差出力は積分器108で積分されて電圧制御発振器101の周波数制御端子に供給される。その結果、電圧制御発振器101の基本波の発振周波数 F_0 は、

$$F_0 = (F_r / M) \times (N \times P + A)$$

となり、PとAの値を所望の値にすることにより、電圧制御発振器1の発振周波数 F_0 を基準信号発生器7の出力周波数 F_r （位相比較周波数でもある）の1/M間隔で制御することができる。そして、出力端子9からは電圧制御発振器1の基本波 F_0 を取り出す。つまり、出力端子9から同じ周波数帯、同じ間隔で信号を取り出すとした場合、従来例と比較すると本実施例の場合は基準信号発生器7の出力周波数が

$$F_r = F_0 \times M$$

と高くすることができる。

【0015】以上のように本実施例によれば、電圧制御発振器1の所望の高調波を分周器10で分周して位相比較することにより、チャンネル間隔よりも基準信号発生器7の出力周波数 F_r を高くすることができ、フィードバックループの応答が早くなるので、周波数切り換えを高速に行うことができる。

【0016】以下本発明の第2の実施例について図面を参照しながら説明する。図2は本発明の第2の実施例における周波数シンセサイザの構成図、図3は図2に示した周波数シンセサイザを回路基板上に構成する際の実装形態図であり、(a)は内部上面図、(b)は内部側面図である。

【0017】図2において、11は帯域通過フィルタ、12はN分周と(N+1)分周とに切り換えられるデュアルモジュラス分周器であり、図1に示した第1の実施例と異なるのは帯域通過フィルタ11を分配器2とデュアルモジュラス分周器12の間に設けた点である。13は分周器であり、デュアルモジュラス分周器12とプログラマブルカウンタ4とスローカウンタ5で構成されている。また、図3において、14は金属壁、15は回

路基板である。

【0018】以上のように構成された周波数シンセサイザについて、その動作を説明する。電圧制御発振器 1 の出力からは基本波 F_0 のほかに高調波（基本波 F_0 の整数倍）が出力され、分配器 2 で分配される。帯域通過フィルタ 11 は所望の高調波、例えば $(M \times F_0)$ を通過させて、デュアルモジュラス分周器 12 に入力する。ここで、図 2 に示した構成の回路の実装形態は、図 3 に示すように電圧制御発振器 1、分配器 2 および帯域通過フィルタ 11 の入力端子は金属壁 14 で囲まれた内部に配置されており、帯域通過フィルタ 11 の出力端子や分周器 13 とは分離されている。つまり、回路基板 15 上の金属壁 14 は下面が開いた箱型となっており、その外周壁には 3 つの開口 14a ~ 14c が設けられている。これらの開口 14a、14b は夫々配線接続のためのものであり、また開口 14c は帯域通過フィルタ 11 を配置するためのものである。開口 14c 部分についてさらに説明すると、開口 14a は帯域通過フィルタ 11 よりも極わずかに大きい開口であり、かつ、帯域通過フィルタ 11 はこの開口 14c の左右にわたって設置されており、分配器 2 からの信号が帯域通過フィルタ 11 内部で処理され、所望の高調波だけが左側、つまり金属壁 14 外に供給される際に、所望の高調波の周波数以下の信号が金属壁 14 外に漏洩しないようになっている。その結果、帯域通過フィルタ 11 で選択した所望の高調波以外の信号が分周器 13 に入力されないようになっている。以上のように構成することにより、図 7 に示した従来例に比べて、基準信号発生器 7 の出力周波数を M 倍に高くすることができ、しかも、電圧制御発振器 1 の基本波 F_0 は基準信号発生器 7 の出力周波数 F_R の $1/M$ 間隔で制御することができる。

【0019】以上のように、本実施例によれば分配器 2 とデュアルモジュラス分周器 12 の間に電圧制御発振器 1 の所望の高調波を取り出す帯域通過フィルタ 11 を設けることにより、広帯域に動作するデュアルモジュラス分周器を用いても、電圧制御発振器 1 の所望の高調波を用いて位相比較することができ、チャンネル間隔よりも基準信号発生器 7 の出力周波数 F_R を高くすることができ、フィードバックループの応答が速くなるので、周波数切り換えを高速に行うことができる。

【0020】なお、本実施例においては帯域通過フィルタ 11 を開口 14c の左右にわたって設置したが、帯域通過フィルタ 11 を開口 14c の左右どちらかに設置する際には、帯域通過フィルタ 11 の入力端子あるいは出力端子を開口 14c の極近傍に配置し、かつ、開口 14c を少なくとも帯域通過フィルタ 11 で選択する所望の高調波の半波長よりも短い物理長にすることで、所望の高調波の周波数以下の信号が分周器 13 に入力されるのを防ぐことができる。

【0021】以下本発明の第 3 の実施例について図面を

参照しながら説明する。図 4 は本発明の第 3 の実施例における周波数シンセサイザの構成図である。

【0022】図 4 において、16 は狭帯域増幅器であり、図 1 に示した第 1 の実施例と異なるのは狭帯域増幅器 16 を分配器 2 とデュアルモジュラス分周器 12 の間に設けた点である。

【0023】以上のように構成された周波数シンセサイザについて、その動作を説明する。電圧制御発振器 1 の出力からは基本波 F_0 のほかに高調波（基本波 F_0 の整数倍）が出力され、分配器 2 で分配される。狭帯域増幅器 16 は所望の高調波、例えば $(M \times F_0)$ を取り出すと同時にデュアルモジュラス分周器 12 に必要な電力に増幅してデュアルモジュラス分周器 12 に入力する。また、狭帯域増幅器 16 は所望の高調波以外の信号を減衰させるので、第 2 の実施例における狭帯域フィルタ 11 と同等の効果も有している。ここで、図 3 に示した第 2 の実施例の実装形態と同じように、図 4 に示した周波数シンセサイザを回路基板上に構成する際には、電圧制御発振器 1、分配器 2 および狭帯域増幅器 16 の入力回路は金属壁 14 で囲まれた内部に配置されており、狭帯域増幅器 16 の出力回路や分周器 13 とは分離されている。本実施例における開口 14c 部分についてさらに説明すると、回路基板 15 に狭帯域増幅器 16 を直接構成する際には、開口 14c に増幅素子（トランジスタ等）が設置され、かつ、金属壁 14 内に増幅素子の入力端子が配置され、金属壁 14 外に増幅素子の出力端子が配置される。さらに、開口 14c は増幅素子を設置するに必要な最小の大きさとする。以上のように構成することにより、図 7 に示した従来例に比べて、基準信号発生器 7 の出力周波数を M 倍に高くすることができる。しかも、電圧制御発振器 1 の基本波 F_0 は基準信号発生器 7 の出力周波数 F_R の $1/M$ 間隔で制御することができる。

【0024】以上のように、本実施例によれば分配器 2 とデュアルモジュラス分周器 12 の間に電圧制御発振器 1 の所望の高調波を取り出すと同時にデュアルモジュラス分周器 12 に必要な電力に増幅する狭帯域増幅器 16 を設けているので、広帯域に動作するデュアルモジュラス分周器を用いても、あるいは電圧制御発振器 1 の高調波出力レベルが小さくても電圧制御発振器 1 の所望の高調波を用いて位相比較することができ、チャンネル間隔よりも基準信号発生器 7 の出力周波数 F_R を高くすることができ、フィードバックループの応答が速くなるので、周波数切り換えを高速に行うことができる。

【0025】以下本発明の第 4 の実施例について図面を参照しながら説明する。図 5 は本発明の第 4 の実施例における周波数シンセサイザの構成図である。

【0026】図 5 において、17 は分布定数回路などを用いて構成した周波数特性を持った分配器であり、図 1 に示した第 1 の実施例と異なるのは分配器 17 に周波数特性を持たせた点である。

【0027】以上のように構成された周波数シンセサイザについて、その動作を説明する。電圧制御発振器1の出力からは基本波F0のほか高調波（基本波F0の整数倍）が出力され、分配器17で分配される。この時、分配器17は周波数特性を持っており、分周器13側へは所望の高調波、例えば（ $M \times F0$ ）を出力し、出力端子9側へは基本波を出力する。ここで、図3に示した第2の実施例の実装形態と同じように、図5に示した周波数シンセサイザを回路基板上に構成する際には、電圧制御発振器1、分配器17の入力端子および分配器17の出力端子9側の出力端子17aは金属壁14で囲まれた内部に配置されており、分配器17の分周器13側の出力端子17bや分周器13とは分離されている。つまり、本実施例においては、分配器17が開口14cに設置され、分配器17の入力端子と出力端子17aが金属壁14内にあり、出力端子17bが金属壁14外にある。したがって、図7に示した従来例に比べて、基準信号発生器7の出力周波数をM倍に高くすることができる。しかも、電圧制御発振器1の基本波F0は基準信号発生器7の出力周波数FRの1/M間隔で制御することができる。

【0028】以上のように、本実施例によれば分配器17に周波数特性を持たせて所望の高調波を分周器13側に取り出すので、広帯域に動作するデュアルモジュラス分周器を用いても電圧制御発振器1の所望の高調波を用いて位相比較することができ、チャンネル間隔よりも基準信号発生器7の出力周波数FRを高くすることができ、フィードバックループの応答が速くなるので、周波数切り換えを高速に行うことができる。

【0029】以下本発明の第5の実施例について図面を参照しながら説明する。図6は本発明の第5の実施例における周波数シンセサイザの構成図である。

【0030】図6において、18は通倍器であり、図1に示した第1の実施例と異なるのは通倍器18を分配器2とデュアルモジュラス分周器3の間に設けた点である。

【0031】以上のように構成された周波数シンセサイザについて、その動作を説明する。電圧制御発振器1の出力信号（周波数F0）は、分配器2で通倍器18側と出力端子9側に分配される。通倍器18は周波数をM倍にし、分周器10に入力する。ここで、本実施例の実装形態としては第2の実施例と同じように開口14cに通倍素子（トランジスタ等）を設置し、金属壁14内に電圧制御発振器1、分配器2および通倍器18の入力回路を設置し、通倍器18の出力回路と分周器10は金属壁14外に設置する。以上により、図7に示した従来例に比べて、基準信号発生器7の出力周波数をM倍に高くすることができる。しかも、電圧制御発振器1の基本波F0は基準信号発生器7の出力周波数FRの1/M間隔で制御することができる。

【0032】以上のように、本実施例によれば分配器2と分周器10の間に通倍器18を設けているので、電圧制御発振器1の出力周波数のM倍の周波数で位相比較することができ、チャンネル間隔よりも基準信号発生器7の出力周波数FRを高くすることができ、フィードバックループの応答が速くなるので、周波数切り換えを高速に行うことができる。なお、通倍器18から所望の信号以外の信号がほとんど出力されていない場合には、本実施例においても第2から第4の実施例で示した分周器13を使用することができる。

【0033】なお、第1、第2、第3、第4および第5の実施例において、分配器2または17と出力端子9との間に電圧制御発振器1の基本波F0を取り出す帯域通過フィルタや出力電力を増幅あるいは出力負荷変動による影響を緩和する緩衝増幅器を必要に応じて設けてもかまわない。

【0034】また、第1、第2、第3、第4および第5の実施例において、閉ループ内の任意の個所に信号増幅や不要信号除去のために増幅器やフィルタを必要に応じて設けてもかまわない。

【0035】また、第1、第2、第3、第4および第5の実施例において、パルススワロー方式を利用しているが、他の方式を利用してもかまわない。

【0036】また、第2の実施例において帯域通過フィルタ11の代わりに帯域通過フィルタや高域通過フィルタまたは両者を組み合わせたフィルタを用いてもかまわない。

【0037】また、第3の実施例において狭帯域増幅器16に所望の高調波周波数よりも最高発振周波数の高いトランジスタを用いることにより、増幅と同時に通倍動作をさせることも可能であり、この場合には基準信号発生器7の出力周波数をさらに高くすることができ、より高速に周波数を切り換えることができる。

【0038】また、第4の実施例において分配器17は、マイクロストリップラインなどの分布定数回路を用いた方向性結合器などで構成することができ、そのような構成をすることにより、所望の周波数を分周器13に入力することができる。

【0039】また、第5の実施例において通倍器18に通倍した周波数よりも最高発振周波数の高いトランジスタを用いることにより、通倍と同時に増幅動作をさせることも可能であり、この場合にはデュアルモジュラス分周器3に余裕のある電力を入力することができる。

【0040】また、第1、第2、第3、第4および第5の実施例において、基準信号発生器7としては温度補償水晶発振器などの高安定な発振器や高安定な発振器と分周器や通倍器を組み合わせたものなどを使用することができる。

【0041】また、第1、第2、第3および第5の実施例において、分配器2としてはT型やII型の抵抗回路な

どを使用することができる。

【0042】また、第2、第3、第4および第5の実施例における金属壁14は周波数シンセサイザ回路全体を囲むように形成され、その内部で必要に応じて各回路ブロックを分離するように構成されていてもよいことは言うまでもない。

【0043】

【発明の効果】以上のように本発明は、電圧制御発振器と、前記電圧制御発振器の出力側に接続された分配器と、前記分配器の第1の出力側に接続された出力端子と、前記分配器の第2の出力側に接続され、前記電圧制御発振器の所望の高調波を分周する分周器と、前記分周器の出力側と前記基準信号発生器の出力側とに接続された位相比較器と、前記位相比較器の出力側と前記電圧制御発振器の制御端子の間に接続された積分器とを備えることにより、基準信号発生器の出力周波数を高くすることができ、フィードバックループの応答が速くなるので、周波数切り換えを高速にすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における周波数シンセサイザの構成図

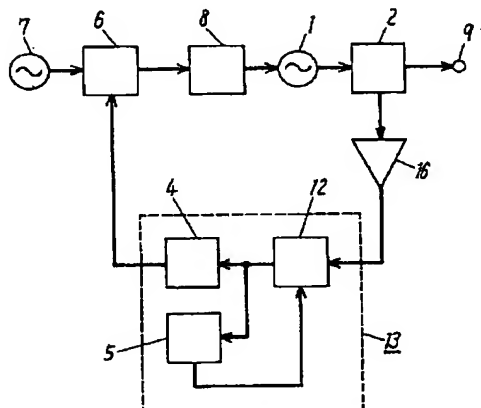
【図2】本発明の第2の実施例における周波数シンセサイザの構成図

【図3】(a)は本発明の第2の実施例における周波数シンセサイザの実装形態を示す内部上面図

(b)は(a)の内部側面図

【図4】

16 狭帯域増幅器



【図4】本発明の第3の実施例における周波数シンセサイザの構成図

【図5】本発明の第4の実施例における周波数シンセサイザの構成図

【図6】本発明の第5の実施例における周波数シンセサイザの構成図

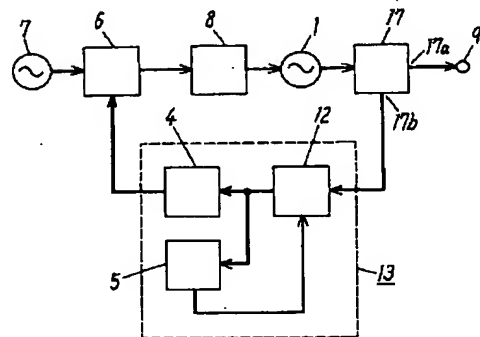
【図7】従来の周波数シンセサイザの構成図

【符号の説明】

- 1 電圧制御発振器
- 2 分配器
- 3 デュアルモジュラス分周器
- 4 プログラマブルカウンタ
- 5 スワローカウンタ
- 6 位相比較器
- 7 基準信号発生器
- 8 積分器
- 9 出力端子
- 10 分周器
- 11 帯域通過フィルタ
- 12 デュアルモジュラス分周器
- 13 分周器
- 14 金属壁
- 15 回路基板
- 16 狭帯域増幅器
- 17 分配器
- 18 通倍器

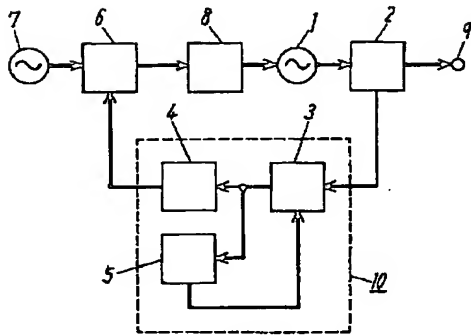
【図5】

17 分配器
17a, 17b 出力端子



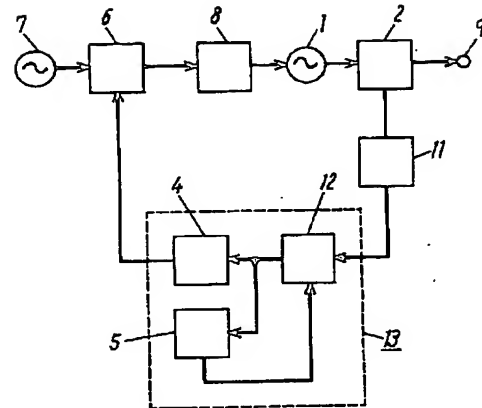
【図1】

- 1 電圧制御発振器
- 2 分配器
- 3 デュアルモジュラス分周器
- 4 プログラマブルカウンタ
- 5 スワローカウンタ
- 6 位相比較器
- 7 基準信号発生器
- 8 積分器
- 9 出力端子
- 10 分周器



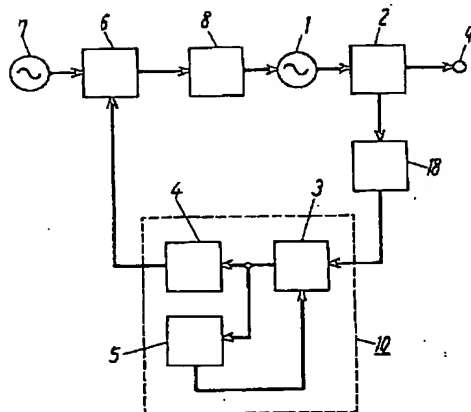
【図2】

- 1 電圧制御発振器
- 6 位相比較器
- 7 基準信号発生器
- 8 積分器
- 11 帯域通過フィルタ
- 12 デュアルモジュラス分周器
- 13 分周器

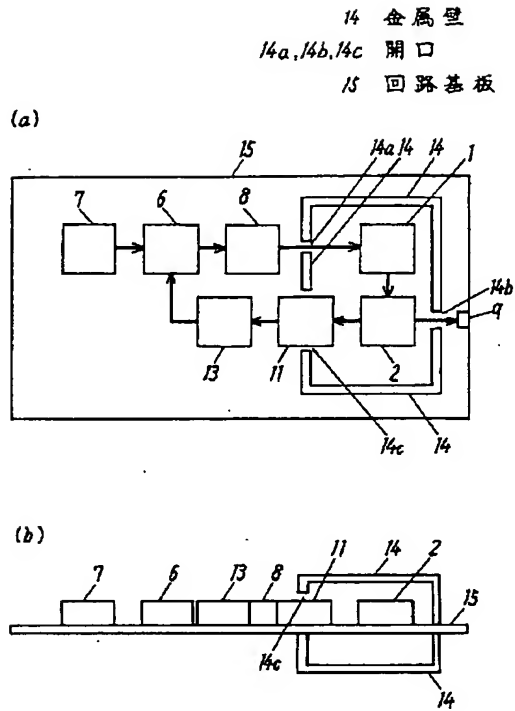


【図6】

18 通倍器



【図3】



【図7】

- 101 電圧制御発振器
102 分配器
103 デュアルモジュラス分周器
104 プログラマブルカウンタ
105 スワローカウンタ
106 位相比較器
107 基準信号発生器
108 積分器
109 出力端子
110 分周器

